



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **63034974 A**(43) Date of publication of application: **15.02.88**

(51) Int. Cl.

**H01L 29/44****H01L 27/04****H01L 29/92**(21) Application number: **61179516**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **29.07.86**(72) Inventor: **OZAKI KATSUYA**(54) **SEMICONDUCTOR DEVICE**

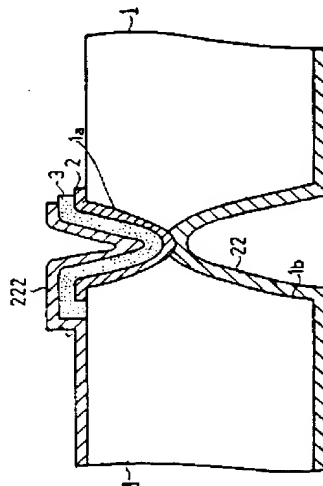
(57) Abstract:

**PURPOSE:** To contrive accomplishment of a high degree of integration as well as to increase the capacitance of an MIM capacitor by a method wherein a metal-insulator-metal (MIM) capacitor is formed in the first hole recessed part formed in a semiconductor substrate.

**CONSTITUTION:** In the recessed part and the opening part of the first hole 1a, the first metal layer 2, the three-layers consisting of an insulative layer 3, the third metal layer 222, form a three-dimensional MIM structure, and as the first metal layer 2 has the junction part with the second metal layer 22, the earthing to the rear side of a GaAs substrate 1 is accomplished. As the area of the electrode of an MIM capacitor depends upon the surface area of the recessed part of the first hole 1a, namely, the amount of etching of the first hole 1a, the capacitance of the MIM capacitor can be controlled by regulating the amount of etching of the first hole 1a. As a result, the occupation area of the via-hole and the MIM capacitor on the circuit chip can be held small, a high degree of integration of circuit can be accomplished, and the MIM

capacitor having a large volume can be formed in a limited space.

COPYRIGHT: (C)1988,JPO&Japio



## ⑫ 公開特許公報(A)

昭63-34974

⑤ Int.Cl.<sup>4</sup>H 01 L 29/44  
27/04  
29/92

識別記号

庁内整理番号

B-7638-5F  
C-7514-5F  
Z-7638-5F

⑬ 公開 昭和63年(1988)2月15日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 昭61-179516

⑰ 出 願 昭61(1986)7月29日

⑱ 発 明 者 小 崎 克 也 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

化合物半導体基板表面から前記化合物半導体基板厚の1/2程度の深さの第1ホールを形成し、この第1ホールの凹部に形成した第1金属層、この第1金属層上に形成した絶縁体層、この絶縁体層上に形成した第3金属層によりMIMキャパシタを形成し、前記第1ホールの穴あけ位置に軸合わせられ、前記第1ホールとの貫通部分を有する形で前記化合物半導体基板裏面から第2ホールを形成し、この第2ホールの凹部に前記第1金属層の少なくとも一部との接触部分を有するように第2金属層を形成したことを特徴とする半導体装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、半導体装置に関し、特にバイアホールとMIMキャパシタを有する半導体集積回路に関するものである。

## 〔従来の技術〕

第2図および第3図は従来の半導体装置の構造の一例を示す主要部分の断面図で、以下これらを用いて従来の半導体装置について説明する。

第2図および第3図において、1はGaAs基板、1aは第1ホール、1bは第2ホール、2は第1金属層、22は第2金属層、222は第3金属層、3は絶縁体層をそれぞれ示している。ただし、第1ホール1aとはGaAs基板1の表面側から形成した穴、第2ホール1bとはGaAs基板1の裏面側から形成した穴としてその名称を定義した。

第2図に示した従来の半導体装置において、バイアホール(GaAs基板1の表面から裏面に貫通する穴)はGaAs基板1に形成された第1ホール1a、第2ホール1b、およびそれらの凹部に形成された第1金属層2、第2金属層22で構成されている。また、第1ホール1aの開口部に隣接する位置に第1金属層2、絶縁体層3、第3金属層222で構成されたMIM(金属-絶縁体-金属構造)キャパシタが配置されている。

一方、第3図に示した従来の半導体装置は、ビアホール上に蓋をするような形でMIMキャパシタ(第1金属層2, 絶縁体層3, 第3金属層222で構成されている)を配置することにより、チップ上のスペースを有効利用し高集積化を図ったもので、ビアホールはG&A基板1の裏面側からのエッチングで形成された第2ホール1bおよびその凹部に形成された第2金属層22で構成されている。

これら第2図および第3図に示した半導体装置の等価回路を示すと第4図のようになる。第4図において、4はコンデンサ、5は接地部分をそれぞれ示し、ビアホールは接地部分5に、MIMキャパシタはコンデンサ4にそれぞれ相当する。  
〔発明が解決しようとする問題点〕

第2図に示すような従来の半導体装置では、G&A基板1など化合物半導体基板上に形成した集積回路チップにおいて、ビアホール開口部を含む金属パッド(第2図では第1金属層2)とMIMキャパシタが大きな面積を占めているため、

ド(第1金属層2)の面積は少なくともG&A基板1裏面における第2ホール1bの開口部の面積程度にする必要があり、したがって、回路の高集積化にはやはり不利である。また、MIMキャパシタの構造が平面的であるため、第2図に示した従来の半導体装置と同様に、コンデンサ3の大容量化にとっても不利であるという問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、回路の高集積化とMIMキャパシタの容量を大きくとることを可能にした半導体装置を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る半導体装置は、半導体基板に形成された第1ホール凹部にMIMキャパシタを形成したものである。

〔作用〕

この発明においては、第1ホール凹部にMIMキャパシタを形成することから、回路チップ上でビアホールおよびMIMキャパシタの占める面積を小さく抑えるとともに、MIMキャパシタを

回路の高集積化にとっても不利であった。加えてMIMキャパシタの構造が平面的であるため、回路上でコンデンサ4の電極用のスペースとして使用可能な範囲が設計上の制約を受け易く、コンデンサ4の大容量化にとっても不利であるという問題点があった。

一方、第3図に示すような従来の半導体装置におけるビアホール(第2ホール1b)の形式は、第2図に示したものと異なり、G&A基板1の裏面側からの1回のエッチングで形成されている。通常、ビアホールのエッチングに用いられている湿式エッチングによると、サイドエッチングが大きく、ほぼ等方的にエッチングが進み第2図に示した半導体装置の形式のビアホールに比べ、その仕上り幅は約2倍近くにもなる(特開昭60-7440号公報参照)。上記湿式エッチングを用いた時、ビアホール上にMIMキャパシタを形成したときの回路チップの強度を考慮すると、回路チップを上面から見た時、上記MIMキャパシタを構成する接地側の電極となるべき金属パッド

立体的構造にでき、かつMIMキャパシタの電極面積を限られたスペース内でも大きくとれる。

〔実施例〕

第1図はこの発明の一実施例を示す半導体装置の主要部分の断面図で、この図において、第2図、第3図と同一符号は同一構成部分を示している。

第1図において、第1ホール1aの凹部および開口部において、第1金属層2, 絶縁体層3, 第3金属層222の3層は立体的なMIM構造をなし、また、第1金属層2が第2金属層22との接合部分を有することによって、G&A基板1の裏面側への接地がなされている。したがって、第1図に示したこの発明による半導体装置の等価回路は、第2図および第3図に示した従来の半導体装置の等価回路と同様に、第4図のようになる。なお、MIMキャパシタの電極の面積(表面積)は、第1ホール1aの凹部の表面積、すなわち第1ホール1aのエッチング量に依存するので、MIMキャパシタの容量は第1ホール1aのエッチング量を調節してやることによって制御できる。

## 〔発明の効果〕

この発明は以上説明したとおり、半導体基板に形成された第1ホールの凹部にMIMキャパシタを形成したので、半導体装置の高集積化ができ、かつ限られたスペース内に容量の大きいMIMキャパシタを形成することができるという効果がある。

## 4. 図面の簡単な説明

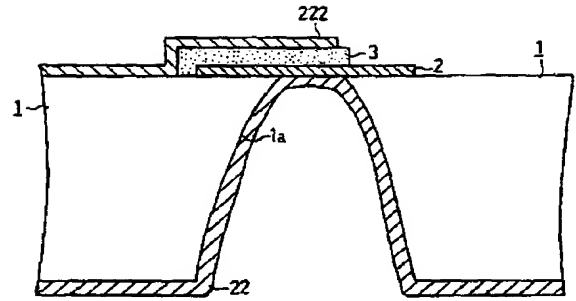
第1図はこの発明の一実施例を示す半導体装置の主要部分の断面図、第2図および第3図は従来例の半導体装置の構造の一例を示す主要部分の断面図、第4図は第1図ないし第3図に示した半導体装置の等価回路図である。

図において、1はGaAs基板、1aは第1ホール、1bは第2ホール、2は第1金属層、3は絶縁層、22は第2金属層、222は第3金属層である。

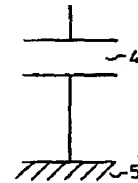
なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄 (外2名)

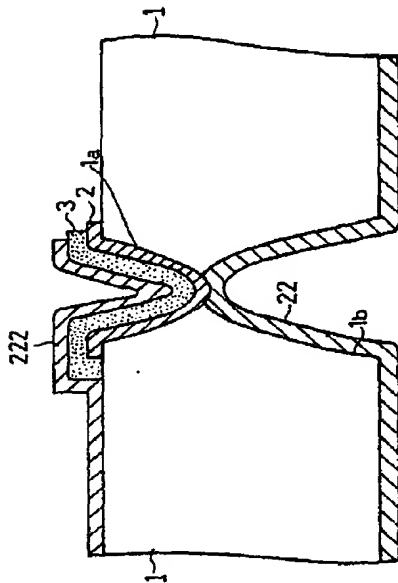
第 3 図



第 4 図

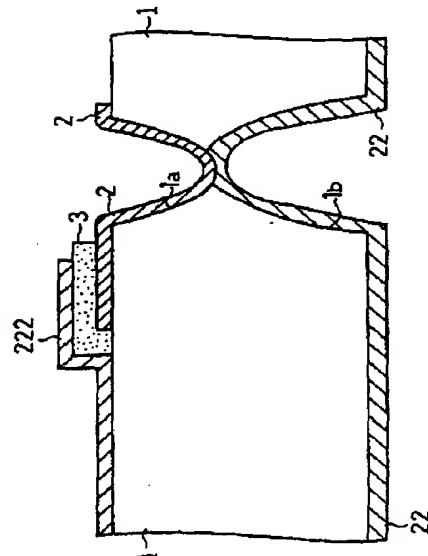


第 1 図



1: GaAs基板  
1a: 第1ホール  
1b: 第2ホール  
2: 第1金属層  
3: 絶縁層  
22: 第2金属層  
222: 第3金属層

第 2 図



手続補正 (自発)  
昭和62年3月18日

特許庁長官殿

1. 事件の表示 特願昭 61-179516号

2. 発明の名称 半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601) 三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375) 弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の発明の詳細な説明の欄、図面の簡単な説明の欄および図面

6. 補正の内容

(1) 明細書第5頁6行の「コンデンサ3」を、「コンデンサ4」と補正する。

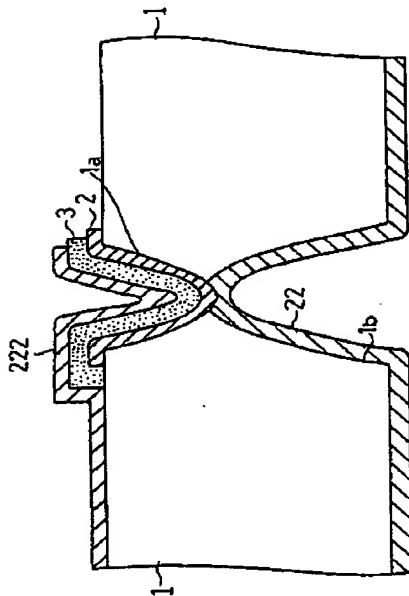
(2) 同しく第7頁15～18行の「3は絶縁層」を、「3は絶縁体層」と補正する。

(3) 第1図、第3図を別紙のように補正する。

以 上



第 1 図



1: GaAs基板  
2: 第1ホーニル  
2a: 第2ホーニル  
2b: 第1金属層  
3: 絶縁体層  
22: 第2金属層  
222: 第3金属層

第 3 図

